

Docket No.: 67161-123

PATENT

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of : Customer Number: 20277  
Kazutoshi WAKAO, et al. : Confirmation Number:  
Serial No.: : Group Art Unit:  
Filed: October 23, 2003 : Examiner:  
For: SEMICONDUCTOR DEVICE WITH CAPACITOR

**CLAIM OF PRIORITY AND**  
**TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

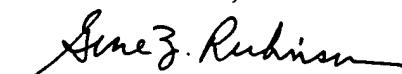
In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

**Japanese Patent Application No. 2003-139267(P), filed May 16, 2003**

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY

  
Gene Z. Rubinson  
Registration No. 33,351

600 13<sup>th</sup> Street, N.W.  
Washington, DC 20005-3096  
(202) 756-8000 GZR:mcw  
Facsimile: (202) 756-8087  
**Date: October 23, 2003**

日本国特許庁  
JAPAN PATENT OFFICE

67161-123  
WAKAO et al.  
October 23, 2003  
McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office

出願年月日

Date of Application: 2003年 5月16日

出願番号

Application Number: 特願2003-139267

[ ST.10/C ]:

[JP2003-139267]

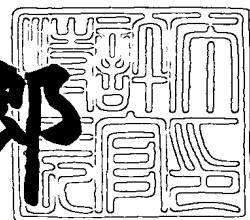
出願人

Applicant(s): 株式会社ルネサステクノロジ

2003年 6月17日

特許庁長官  
Commissioner,  
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3047216

【書類名】 特許願  
【整理番号】 544148JP01  
【提出日】 平成15年 5月16日  
【あて先】 特許庁長官殿  
【国際特許分類】 H01L 27/108  
【発明者】  
【住所又は居所】 東京都千代田区丸の内二丁目4番1号 株式会社ルネサ  
ステクノロジ内  
【氏名】 若尾 和年  
【発明者】  
【住所又は居所】 東京都千代田区丸の内二丁目4番1号 株式会社ルネサ  
ステクノロジ内  
【氏名】 土本 淳一  
【発明者】  
【住所又は居所】 東京都千代田区丸の内二丁目4番1号 株式会社ルネサ  
ステクノロジ内  
【氏名】 稲葉 豊  
【発明者】  
【住所又は居所】 東京都千代田区丸の内二丁目4番1号 株式会社ルネサ  
ステクノロジ内  
【氏名】 相原 一洋  
【特許出願人】  
【識別番号】 503121103  
【氏名又は名称】 株式会社ルネサステクノロジ  
【代理人】  
【識別番号】 100064746  
【弁理士】  
【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100083703

【弁理士】

【氏名又は名称】 仲村 義平

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100098316

【弁理士】

【氏名又は名称】 野田 久登

【選任した代理人】

【識別番号】 100109162

【弁理士】

【氏名又は名称】 酒井 將行

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項1】 半導体基板と、

該半導体基板の主表面に対してほぼ垂直に延びるように形成された垂直部を有するキャパシタ下部電極と、

前記垂直部の表面を覆うように形成されたキャパシタ誘電体膜と、

該キャパシタ誘電体膜の表面を覆うように形成されたキャパシタ上部電極とを備え、

前記キャパシタ誘電体膜は、前記垂直部の上側に形成された部分の膜厚が前記垂直部の側面側に形成された部分の膜厚よりも大きい、半導体装置。

【請求項2】 前記キャパシタ誘電体膜は、前記垂直部の上側に形成された部分が2層構造をなしている、請求項1に記載の半導体装置。

【請求項3】 前記2層構造は、互いに異なる組成の2種類の絶縁膜により構成された、請求項2に記載の半導体装置。

【請求項4】 半導体基板の上方に、該半導体基板の主表面に対して垂直な方向に延びる垂直部を有するキャパシタ下部電極となる膜を形成する工程と、

前記垂直部の表面を覆うようにキャパシタ誘電体膜となる膜を形成する工程と

前記キャパシタ誘電体膜となる膜の上側から誘電体膜のスパッタリングまたはプラズマ化学気相成長を行うことにより、前記垂直部の上側の前記キャパシタ誘電体膜となる膜の上面に誘電体膜を付着させる工程と、

前記キャパシタ誘電体膜となる膜および前記誘電体膜の表面を覆うようにキャパシタ上部電極となる膜を形成する工程とを備えた、半導体装置の製造方法。

【請求項5】 半導体基板の上方に半導体基板の主表面に対してほぼ垂直に延びる垂直部を有するルテニウムからなるキャパシタ下部電極となる膜を形成する工程と、

前記キャパシタ下部電極となる膜を、還元素雰囲気において、温度500～950℃および圧力1 Torr～大気圧という条件の下で、1分以上の時間にわた

ってアニールする工程と、

アニールされた前記キャパシタ下部電極の表面を覆うようにキャパシタ誘電体膜となる膜を形成する工程と、

前記キャパシタ誘電体膜となる膜の表面を覆うようにキャパシタ上部電極となる膜を形成する工程とを備えた、半導体装置の製造方法。

【請求項 6】 半導体基板の上方に層間絶縁膜を形成する工程と、

該層間絶縁膜に該層間絶縁膜を上下方向に貫通するホールを形成する工程と、

前記ホールの側面に沿うようにルテニウムからなるキャパシタ下部電極となる膜をメタルオーガニック化学気相成長により形成する工程と、

前記キャパシタ下部電極となる膜を残すように前記層間絶縁膜を除去する工程と、

前記キャパシタ下部電極となる膜を、還元素雰囲気において、温度650～950℃および圧力1 Torr～大気圧という条件下で、1分以上の時間にわたってアニールする工程と、

アニールされた前記キャパシタ下部電極となる膜の表面を覆うようにキャパシタ誘電体膜となる膜を形成する工程と、

前記キャパシタ誘電体膜となる膜の表面を覆うようにキャパシタ上部電極となる膜を形成する工程とを備えた、半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、キャパシタを備えた半導体装置およびその製造方法に関するものである。

【0002】

【従来の技術】

従来より、半導体装置の一例としてのDRAM (Dynamic Random Access Memory)においては、半導体基板の上方に半導体基板の主表面に対して垂直に延びる垂直部を有するキャパシタ電極を備えた円筒型キャパシタが設けられたものがある。

【0003】

【特許文献1】

特開2002-198498号公報

【0004】

【発明が解決しようとする課題】

しかしながら、上記従来のキャパシタにおいては、キャパシタ下部電極の垂直部の上端部に尖り形状が形成されることがある。また、メタルオーガニック化学気相成長によりキャパシタ下部電極を形成すると、キャパシタ下部電極が形成するホールの表面に先端が尖った凹凸形状を有する部分が形成されることがある。この尖り形状を有する上端部の上にまたは先端が尖った凹凸形状を有する部分の上にキャパシタ誘電体膜を積み重ねたキャパシタでは、その尖り形状を有する上端部の上側に位置する部分または先端が尖った凹凸形状を有する部分の上に形成されたキャパシタ誘電体膜においてリーク電流が発生することがある。

【0005】

本発明は、上述の問題に鑑みてなされたものであり、その目的は、キャパシタ誘電体膜の信頼性が向上した半導体装置を提供することである。

【0006】

【課題を解決するための手段】

本発明の半導体装置は、半導体基板と、半導体基板の主表面に対してほぼ垂直に伸びるように形成された垂直部を有するキャパシタ下部電極と、垂直部の表面を覆うように形成されたキャパシタ誘電体膜と、キャパシタ誘電体膜の表面を覆うように形成されたキャパシタ上部電極とを備えている。また、キャパシタ誘電体膜は、垂直部の上側に形成された部分の膜厚が垂直部の側面上に形成された部分の膜厚よりも大きい。

【0007】

上記の構成によれば、垂直部の上側に位置する部分のキャパシタ誘電体膜においてリーク電流が発生するおそれが低減される。その結果、キャパシタ誘電体膜の信頼性が向上する。

【0008】

本発明の第1の局面の半導体装置の製造方法は、次の工程を備えている。まず、半導体基板の上方に、半導体基板の主表面に対して垂直な方向に延びる垂直部を有するキャパシタ下部電極となる膜を形成する。次に、垂直部の表面を覆うようにキャパシタ誘電体膜となる膜を形成する。その後、キャパシタ誘電体膜となる膜の上側から誘電体膜のスパッタリングまたはプラズマ化学気相成長を行うことにより、垂直部の上方のキャパシタ誘電体膜となる膜の上面に誘電体膜を付着させる。次に、キャパシタ誘電体膜となる膜および誘電体膜の表面を覆うようにキャパシタ上部電極となる膜を形成する。

#### 【0009】

上記の製法によれば、スパッタリングにより、垂直部の上方のキャパシタ誘電体膜の上面に絶縁膜を付着させることができる。その結果、垂直部の上方のキャパシタ誘電体膜として機能する膜の厚みが大きくなる。したがって、キャパシタ下部電極の垂直部の上端部が尖り形状を有しているような場合においても、垂直部の上方の誘電体膜は他の部分に比べて厚さが大きくなる。それにより、垂直部の上方の部分のキャパシタ誘電体膜においてリーク電流が発生するおそれが低減される。したがって、キャパシタ誘電体膜の信頼性が向上する。

#### 【0010】

本発明の第2の局面の半導体装置の製造方法は、次の工程を備えている。まず、半導体基板の上方に半導体基板の主表面に対してほぼ垂直に延びる垂直部を有するルテニウムからなるキャパシタ下部電極となる膜を形成する。次に、キャパシタ下部電極となる膜を、還元素雰囲気において、温度500～950℃および圧力1 Torr～大気圧という条件の下で、1分以上の時間にわたってアニールする。その後、アニールされたキャパシタ下部電極となる膜の表面を覆うようにキャパシタ誘電体膜となる膜を形成する。次に、キャパシタ誘電体膜となる膜の表面を覆うようにキャパシタ上部電極となる膜を形成する。

#### 【0011】

上記の製法によれば、アニール工程によりルテニウムが溶融する。そのため、ルテニウムからなるキャパシタ下部電極の垂直部の上端部が仮に尖り形状を有している場合においても、アニール工程において尖り形状を有する上端部が丸みを

帶びた形状に変化する。したがって、丸みを帶びた部分には電界集中が発生しないため、キャパシタ誘電体膜にリーク電流が発生するおそれが低減される。その結果、キャパシタ誘電体膜の信頼性が向上する。

#### 【0012】

本発明の第3の局面の半導体装置の製造方法は、次の工程を備えている。まず、半導体基板の上方に層間絶縁膜を形成する。次に、層間絶縁膜に層間絶縁膜を上下方向に貫通するホールを形成する。その後、ホールの側面に沿うようにルテニウムからなるキャパシタ下部電極となる膜をメタルオーガニック化学気相成長により形成する。次に、キャパシタ下部電極となる膜を残すように層間絶縁膜を除去する。その後、キャパシタ下部電極となる膜を、還元雰囲気において、温度650～950℃および圧力1Torr～大気圧という条件下で、1分以上の時間にわたってアニールする。次に、アニールされたキャパシタ下部電極となる膜の表面を覆うようにキャパシタ誘電体膜となる膜を形成する。その後、キャパシタ誘電体膜となる膜の表面を覆うようにキャパシタ上部電極となる膜を形成する。

#### 【0013】

上記の製法によれば、前述の第2の局面の半導体装置の製造方法により得られる効果と同様の効果を得ることができる。さらに、本局面の半導体装置によれば次のような効果が得られる。

#### 【0014】

メタルオーガニック化学気相成長により形成されたキャパシタ下部電極となる膜は、その表面に先端が尖った凹凸形状を有している。この先端が尖った凹凸形状を有する部分には電界集中が発生しやすい。しかしながら、本局面の半導体装置の製造方法によれば、先端が尖った凹凸形状を有するキャパシタ下部電極は所定の条件下でアニールされる。その結果、凹凸形状を有する部分は、溶融して、その先端がなだらかな曲面を有する形状になる。したがって、先端が尖った凹凸形状に起因して発生するキャパシタ下部電極の電界集中が抑制される。その結果、キャパシタ誘電体膜にリーク電流が発生することが防止される。

#### 【0015】

**【発明の実施の形態】**

以下、図を用いて本発明の実施の形態の半導体装置およびその製造方法を説明する。

**【0016】****(実施の形態1)**

まず、図1～図7を用いて実施の形態1の半導体装置およびその製造方法を説明する。

**【0017】**

図1を用いて実施の形態1の半導体装置の構造を説明する。図1に示すように、本実施の形態の半導体装置は以下のよう構造である。

**【0018】**

半導体基板1には、素子分離絶縁膜2が形成されている。素子分離絶縁膜2に囲まれた素子形成領域には、ゲート絶縁膜3およびゲート電極4が半導体基板1に接するように設けられている。ゲート絶縁膜3およびゲート電極4の両側面側においては、半導体基板1内にソース／ドレイン領域5、6が設けられている。

**【0019】**

また、ゲート絶縁膜3、ゲート電極4、ソース／ドレイン領域5、6および素子分離絶縁膜2を覆うように層間絶縁膜7が形成されている。層間絶縁膜7の上にはシリコン窒化膜17が形成されている。シリコン窒化膜17および層間絶縁膜7を上下方向に貫通し、ソース／ドレイン領域6に接続されたコンタクトプラグ8が形成されている。

**【0020】**

また、シリコン窒化膜17の上側には、コンタクトプラグ8に接触するキャパシタ下部電極9が形成されている。このキャパシタ下部電極9はルテニウムからなっている。キャパシタ下部電極9は、円筒型キャパシタの一部であり、半導体基板1の主表面に対してほぼ垂直に延びる垂直部91を有している。また、キャパシタ下部電極9の垂直部91の上端部901は尖り形状を有している。

**【0021】**

また、キャパシタ下部電極9の表面を覆うようにキャパシタ誘電体膜10が形

成されている。キャパシタ下部電極9の垂直部91には、誘電体膜10の上に誘電体膜100が積層されている。この誘電体膜10および誘電体膜100からなる2層構造の誘電体膜によりキャパシタ誘電体膜が構成されている。

#### 【0022】

また、誘電体膜10, 100の表面を覆うようにキャパシタ上部電極11が形成されている。さらに、シリコン窒化膜17およびキャパシタ上部電極11を埋込むように層間絶縁膜30が形成されている。

#### 【0023】

上記のような本実施の形態の半導体装置においては、キャパシタ誘電体膜は、キャパシタ下部電極9の上側に位置する部分905の膜厚 $t_1$ が、キャパシタ下部電極9の側面側に位置する部分906の膜厚 $t_2$ に比較して大きくなっている。すなわち、キャパシタ下部電極9の側面に沿って形成されたキャパシタ誘電体膜10のみの膜厚よりも、キャパシタ下部電極9の上側において形成されたキャパシタ誘電体膜10とキャパシタ誘電体膜100とにより形成された部分の膜厚の方が大きくなっている。

#### 【0024】

したがって、キャパシタ下部電極9の上端部901に尖り部分を有していても、その尖り形状を有する部分の上側に位置する部分905に形成されたキャパシタ誘電体膜にリーク電流が発生するおそれが低減される。そのため、キャパシタ誘電体膜の信頼性が向上する。

#### 【0025】

次に、図2～図7を用いて本実施の形態の半導体装置の製造方法を説明する。図2に示すように、シリコン窒化膜17から下側の構造においては、図1に示す半導体装置の構造と全く同様であるため、その説明は繰返さない。

#### 【0026】

図2において、シリコン窒化膜17が形成されかつコンタクトプラグ8が形成された後で、シリコン窒化膜17およびコンタクトプラグ8を覆うように層間絶縁膜20を形成する。この層間絶縁膜20を上下方向に貫通し、コンタクトプラグ8の表面を露出させるようにホール20aを形成する。

## 【0027】

次に、層間絶縁膜20の上面、ならびに、ホール20aの側面および底面に沿うように、たとえばCVD (Chemical Vapor Deposition) 法またはスパッタ法によりルテニウムからなる導電層9aを形成する。導電層9aは、後述する最終的にキャパシタ下部電極9となる導電層9bを形成する前段階の膜である。次に、CMP (Chemical Mechanical Polishing) 法により、層間絶縁膜(シリコン酸化膜)20の上側に形成されていた導電層9aを除去する。それにより、図3に示すような構造が得られる。図3に示されるような構造ではホール20aの側面および底面に沿うように導電層9bが形成されている。この導電層9bは、最終的にはキャパシタ下部電極9となる膜である。

## 【0028】

次に、フッ酸を用いてシリコン酸化膜からなる層間絶縁膜20をウェットエッチングすることにより、図4に示すように、キャパシタ下部電極9を形成する。このとき、フッ酸によるウェットエッチングではシリコン窒化膜17はエッチングされない。そのため、キャパシタ下部電極9のみがシリコン窒化膜17の上に残存する状態となる。また、フッ酸によるウェットエッチングにより、ルテニウム膜からなるキャパシタ下部電極9の垂直部91の上端部901においては尖り形状が形成されている。

## 【0029】

次に、図5に示すように、シリコン窒化膜17およびキャパシタ下部電極9の表面に沿うようにCVD法等により誘電体膜10aを形成する。次に、図6に示すように、表面被覆性の悪いスパッタリング法またはプラズマCVD法により誘電体膜10aの上側から誘電体膜100を付着させる。

## 【0030】

このとき、誘電体膜100は、誘電体膜10aに対する付着力が小さいため、スパッタリング法およびプラズマCVD法にいずれかでは、キャパシタ下部電極9となる膜の垂直部91の上側にのみ誘電体膜100が付着する。したがって、キャパシタ下部電極9となる膜の垂直部91の上側のみにおいてキャパシタ誘電体膜は2層構造となる。この誘電体膜10aと誘電体膜100とは、同じ組成の

絶縁膜であってもよいとともに、異なる組成の絶縁膜であってもよい。なお、誘電体膜10aおよび誘電体膜100には、たとえば、タンタルオキサイド(Ta<sub>2</sub>O<sub>5</sub>)やチタン酸ストロンチウムバリウム等が用いられる。

#### 【0031】

次に、図7に示すように、誘電体膜10aおよび誘電体膜100の表面を覆うように、たとえば、ルテニウムまたは不純物を含む多結晶シリコン等からなる導電層11aを形成する。その後、キャパシタとなる部分の周辺をレジスト膜で覆う。そのレジストをマスクとして不要な部分の誘電体膜10aおよび導電層11aを除去する。

#### 【0032】

その後、そのレジストを除去する。それにより、図1に示すキャパシタ下部電極9、キャパシタ誘電体膜10、100およびキャパシタ上部電極11からなるキャパシタが形成される。次に、シリコン窒化膜7および導電層11aの上側を覆うように層間絶縁膜30を形成する。その結果、図1に示す構造が得られる。

#### 【0033】

上記のような本実施の形態の半導体装置の製造方法によれば、図6に示すように、図5に示す状態において、膜の付着性が悪いスパッタリング法またはプラズマCVD法を用いて誘電体膜100をキャパシタ下部電極9の上端部91の上側にのみ付着させる。

#### 【0034】

そのため、キャパシタ誘電体膜10、100はキャパシタ下部電極9の尖り形状を有する部分の上側のみの膜厚t<sub>1</sub>が大きくなる。その結果、キャパシタ下部電極9の尖り形状を有する部分の上側に位置する部分905のキャパシタ誘電体膜にリーク電流が発生するおそれが低減される。したがって、半導体装置の特性が向上する。

#### 【0035】

##### (実施の形態2)

次に、図8～図13を用いて実施の形態2の半導体装置およびその製造方法を説明する。まず、図8を用いて本実施の形態の半導体装置の構造を説明する。図

8に示すように、本実施の形態の半導体装置は、実施の形態1の半導体装置の構造とほぼ同様である。

#### 【0036】

図1と図8とを比較すればわかるように、円筒型キャパシタのキャパシタ下部電極の半導体基板1の主表面に対して垂直に延びる垂直部91の上端部901の形状のみが異なっている。なお、本実施の形態では、キャパシタ下部電極9の材料としては、ルテニウムが用いられている。図8においては、垂直部91の上端部901の形状は尖り部分を有していない。そのため、キャパシタ誘電体膜10は全体的にほぼ均一な幅で形成されている。すなわち、キャパシタ誘電体膜10は均質な膜厚となっているとともに、キャパシタ下部電極9は極端に電界集中が発生している部分を有していない。そのため、キャパシタの信頼性は向上されている。また、図8に示すように本実施の形態の半導体装置は、図1に示すような誘電体膜100を有しない。すなわちキャパシタ誘電体膜10は1種類の膜で構成されている。なお、実施の形態1の半導体装置と実施の形態2の半導体装置とは、前述した構造以外の構造については全く同様の構造を有しているため、その構造の説明は繰返さない。

#### 【0037】

前述のような本実施の形態の半導体装置の構造を製造するための方法を、図9～図13を用いて説明する。

#### 【0038】

本実施の形態の半導体装置の製造方法においては、図4に示すキャパシタ下部電極9が形成されるまでの工程は、実施の形態1の半導体装置の製造方法と全く同様の工程が実行される。したがって、本実施の形態の半導体装置の製造方法においても、図4に示すように、キャパシタ下部電極9となる膜は、一旦その垂直部91の上端部901において尖り形状が形成されている。次に、図9に示すようにその尖り形状を有する部分を、丸みを帯びたなだらかな表面を有する形状にする。

#### 【0039】

この尖り形状を有する部分を丸みを帯びたなだらかな形状にする方法は、次の

のような方法である。

#### 【0040】

まず、図4に示すような構造の形成途中の半導体装置を容器内に収める。その容器内の雰囲気は、還元雰囲気であるほぼ100%の水素雰囲気が維持されている。この水素雰囲気内において、温度500~950°Cで1分以上の時間にわたって図4に示す構造の形成途中の半導体装置のキャパシタ下部電極9となる膜のアニールを行なう。なお、この容器内の圧力は1 Torr ( $\approx 133.32 \text{ Pa}$ ) ~大気圧の圧力になるように調整されている。大気圧とは、約1013 HPa程度の値をいい、その前後5%程度の範囲の圧力を含んでおり、いわゆる、特別な圧力をかけない圧力状態を言うものとする。

#### 【0041】

このような状態でアニールを行なうと、ルテニウムからなるキャパシタ下部電極9は熱により溶融するため、尖り形状を有する部分が丸みを帯びる。したがって、図9のような構造のキャパシタ下部電極9が形成される。

#### 【0042】

次に、図10に示すように、キャパシタ下部電極9の表面およびシリコン窒化膜17の表面を覆うように誘電体膜10aを形成する。次に、図11に示すように、誘電体膜10aの上に導電層11aを形成する。その後、実施の形態1においてキャパシタを形成した方法と全く同様の方法で誘電体膜10aおよび導電層11aをエッチングする。それにより、図8に示すようなキャパシタ下部電極9、キャパシタ誘電体膜10およびキャパシタ上部電極11からなるキャパシタを形成する。次に、キャパシタを層間絶縁膜30で埋込む。それにより図8に示すような構造の半導体装置が得られる。

#### 【0043】

上記のような本実施の形態の半導体装置の製造方法によれば、図4に示す構造の形成途中の半導体装置において、所定の条件でアニールを行なう。その結果、図4に示すキャパシタ下部電極9となる膜の上側の尖り形状を有する部分が丸みを帯びる。そのため、キャパシタ下部電極9の表面に形成されるキャパシタ誘電体膜10は均質な膜厚となるとともに、キャパシタ下部電極9において電界集中

が生じる部分が消失する。その結果、キャパシタ誘電体膜10においてリーク電流が発生するおそれが低減する。その結果、半導体装置の特性が向上する。

#### 【0044】

なお、本実施の形態の半導体装置の製造方法のようなアニール工程を行なわなかつた場合に形成された円筒型キャパシタのキャパシタ下部電極の上面の写真が図12に示されている。また、本実施の形態のアニール工程を行なう半導体装置の製造方法により製造された円筒型キャパシタのキャパシタ下部電極9の上面の写真が図13に示されている。図12と図13との比較により分かるように、本実施の形態の半導体装置の製造方法を用いれば、本実施の形態の半導体装置の製造方法のようなアニール工程を行なわない半導体装置の製造方法に比較して、キャパシタ下部電極9の垂直部91の上端部901をより丸みを帯びた形状にすることが可能となっている。

#### 【0045】

##### (実施の形態3)

次に、図14～図22を用いて実施の形態3の半導体装置の構造およびその製造方法を説明する。まず、図14を用いて本実施の形態の半導体装置の構造を説明する。本実施の形態の半導体装置の構造は、実施の形態2において図8を用いて示した半導体装置の構造とほぼ同様の構造である。つまり、キャパシタ下部電極9の垂直部91の上端部901はなだらかな曲面形状となっている。しかしながら、本実施の形態の半導体装置においては、さらに、キャパシタ下部電極9により形成されるホールの側面および底面も、なだらかな曲面となっている。前述のこと以外は、実施の形態2の半導体装置の構造と実施の形態3の半導体装置の構造とは全く同様である。そのため、その部分の説明は繰返さない。

#### 【0046】

次に、図15～図20を用いて本実施の形態の半導体装置の製造方法を説明する。

#### 【0047】

まず、図15に示す構造を説明する。図15に示す構造においてシリコン窒化膜17を形成するまでの工程は実施の形態1および2の半導体装置の製造方法に

おいて用いられる工程と全く同様の工程が実行される。次に、シリコン窒化膜17の上に層間絶縁膜（シリコン酸化膜）20を形成する。その後、層間絶縁膜20を上下方向に貫通し、コントラクトプラグ8の表面を露出させるようにホール20aを形成する。

## 【0048】

次に、ホール20aの側面および底面、ならびに、層間絶縁膜20の上面に沿うように、ルテニウムからなる導電層9aを形成する。このルテニウムからなる導電層9aを形成する工程においては、MOCVD (Metal Organic Chemical Vapour Deposition) 法を用いる。MOCVD法を用いて形成されたルテニウムからなる導電層9aは表面に先端が尖った凹凸形状を有するような状態となっている。これは、ルテニウムプリカーサと酸素との混合ガスを用いて導電層9aを形成するため、形成された導電層9aに二酸化ルテニウム ( $RuO_2$ ) が多分に含まれていることに起因する。二酸化ルテニウムは、針状の結晶構造であるため、導電層9aの表面は著しく平坦性が損なわれている。

## 【0049】

次に、CMP (Chemical Mechanical Polishing) 法を用いて、層間絶縁膜20の上面が露出するように、ルテニウムからなる導電層9aを除去する。その結果、図16に示すように、ホール20aの側面および底面にのみ導電層9bが残存する。なお、この導電層9bにより形成されるホールの側面および底面には先端が尖った凹凸形状が残存している。

## 【0050】

次に、フッ酸等を用いてシリコン酸化膜からなる層間絶縁膜20をウェットエッチングする。この工程の後においては、シリコン窒化膜17および導電層9cはエッティングされずに残存する。その結果、図17に示すような構造が得られる。

## 【0051】

図17に示す構造では、キャパシタ下部電極となる前段階の導電層9cが形成されている。導電層9cは、導電層9bの垂直部91の上端部901が尖り形状を有するように削らたものである。この導電層9cが形成するホールの側面およ

び底面には先端が尖った凹凸形状が形成されている。次に、導電層9cのアニール工程を行なう。それにより、図17に示す導電層9cの垂直部の上端部の尖り形状は、熱により溶融する。その結果、図18に示すように、導電層9c垂直部91の上端部901は丸みを帯びた形状となる。

#### 【0052】

導電層9cのアニール工程は、還元雰囲気であるほぼ100%の水素雰囲気において、温度650～950℃および圧力1 Torr～大気圧の条件下で、1分以上の時間にわたって行なわれる。このとき、キャパシタ下部電極9に含まれる二酸化ルテニウムが還元されて、金属ルテニウムが形成される。その結果、キャパシタ下部電極9が形成するホールの表面の先端が尖った凹凸が消失し、先端が曲面の凹凸形状になる。

#### 【0053】

次に、図19に示すように、キャパシタ下部電極9およびシリコン窒化膜17の表面を覆うように誘電体膜10aが形成される。次に、図20に示すように、誘電体膜10aの表面を覆うように導電層11aが形成される。その後、実施の形態1および実施の形態2の半導体装置の製造方法と同様に層間絶縁膜30を形成する工程が実行され、図14に示すようなキャパシタ下部電極9、キャパシタ誘電体膜10およびキャパシタ上部電極11により構成されるキャパシタを有する半導体装置が形成される。

#### 【0054】

上記のような本実施の形態の半導体装置の製造方法によれば、図17に示すような状態で、ルテニウムからなるキャパシタ下部電極9となる導電層9cを還元雰囲気でアニールする。そのため、導電層9cにより形成されるホールの側面および底面に形成された先端が尖った凹凸形状、ならびに導電層9cの垂直部91の上端部901に形成された尖り形状が、丸みを帯びてなだらかな曲面形状、すなわち、先端が曲面の凹凸形状になる。

#### 【0055】

その結果、最終的に形成された構造の図14に示すキャパシタにおいては、キャパシタ下部電極9の垂直部の上端部、ホールの内側面および底面においては、

電界集中が発生する部分がない。その結果、キャパシタ誘電体膜10においてリーク電流が発生するおそれが低減されている。したがって、半導体装置の特性が向上する。

#### 【0056】

なお、図21には、本実施の形態のアニール工程を用いなかった場合に形成されたキャパシタ下部電極の上面の写真が示されている。また、図22には本実施の形態の半導体装置の製造方法のアニール工程が使用された後のキャパシタ下部電極の上面の写真が示されている。図21および図22とを比較すれば分かるように、本実施の形態の半導体装置の製造方法により形成されたキャパシタ下部電極9は、アニール工程を用いなかった場合に形成されたキャパシタ下部電極とは異なり、キャパシタ下部電極9の垂直部91の上端部901には尖り形状が形成されておりず、かつ、キャパシタ下部電極9のホールの側面および底面には先端が尖った凹凸形状形成されていない。

#### 【0057】

なお、今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

#### 【0058】

##### 【発明の効果】

本発明によれば、キャパシタ誘電体膜においてリーク電流が発生するおそれが低減されるため、キャパシタ誘電体膜の信頼性が向上した半導体装置を提供することが可能である。

##### 【図面の簡単な説明】

【図1】 実施の形態1の半導体装置の構造を説明するための図である。

【図2】 実施の形態1の半導体装置の製造方法を説明するための図である

【図3】 実施の形態1の半導体装置の製造方法を説明するための図である

【図4】 実施の形態1の半導体装置の製造方法を説明するための図である

【図5】 実施の形態1の半導体装置の製造方法を説明するための図である

【図6】 実施の形態1の半導体装置の製造方法を説明するための図である

【図7】 実施の形態1の半導体装置の製造方法を説明するための図である

【図8】 実施の形態2の半導体装置の構造を説明するための図である。

【図9】 実施の形態2の半導体装置の製造方法を説明するための図である

【図10】 実施の形態2の半導体装置の製造方法を説明するための図である。

【図11】 実施の形態2の半導体装置の製造方法を説明するための図である。

【図12】 実施の形態2の半導体装置の製造方法を用いなかった場合に形成されたキャパシタ下部電極の上面の写真である。

【図13】 実施の形態2の半導体装置の製造方法を用いた場合に形成されたキャパシタ下部電極の上面の写真である。

【図14】 実施の形態3の半導体装置の構造を説明するための図である。

【図15】 実施の形態3の半導体装置の製造方法を説明するための図である。

【図16】 実施の形態3の半導体装置の製造方法を説明するための図である。

【図17】 実施の形態3の半導体装置の製造方法を説明するための図である。

【図18】 実施の形態3の半導体装置の製造方法を説明するための図である。

【図19】 実施の形態3の半導体装置の製造方法を説明するための図である

る。

【図20】 実施の形態3の半導体装置の製造方法を説明するための図である。

【図21】 実施の形態3の半導体装置の製造方法を用いなかった場合に形成されたキャパシタ下部電極の上面の写真である。

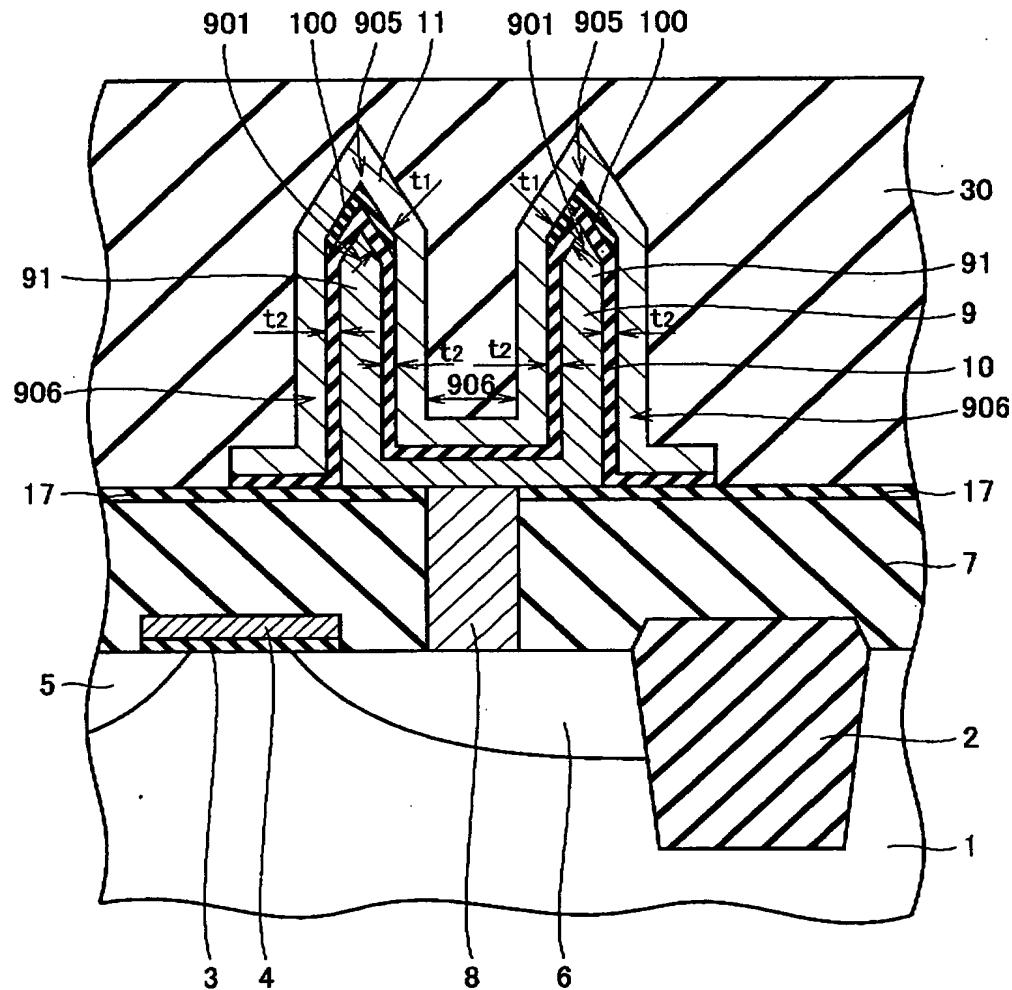
【図22】 実施の形態3の半導体装置の製造方法を用いた場合に形成されたキャパシタ下部電極の上面の写真である。

【符号の説明】

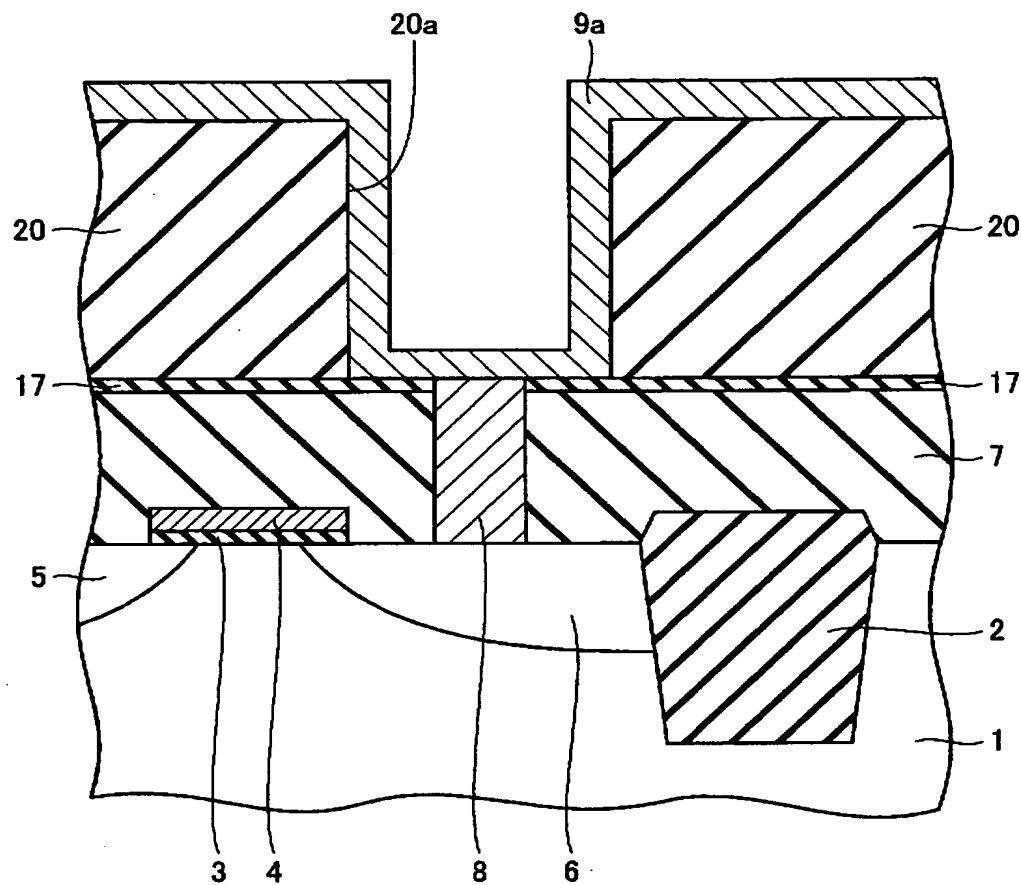
1 半導体基板、9 キャパシタ下部電極、9 b, 9 c キャパシタ下部電極となる膜、10 誘電体膜、10 a キャパシタ誘電体膜となる膜、11 キャパシタ上部電極、11 a キャパシタ上部電極となる膜、20 絶縁膜、20 a ホール、91 垂直部、100 誘電体膜、 $t_1$  垂直部の上側に形成された部分の膜厚、 $t_2$  垂直部の側面側に形成された部分の膜厚。

【書類名】 図面

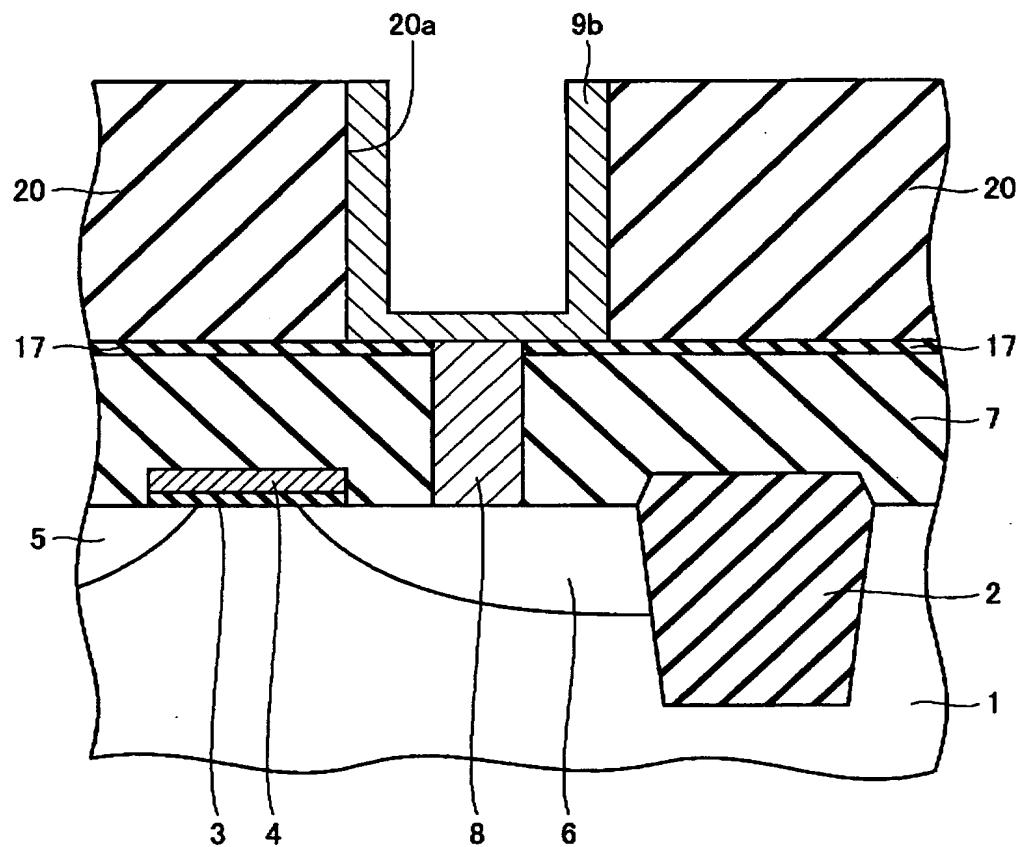
【図1】



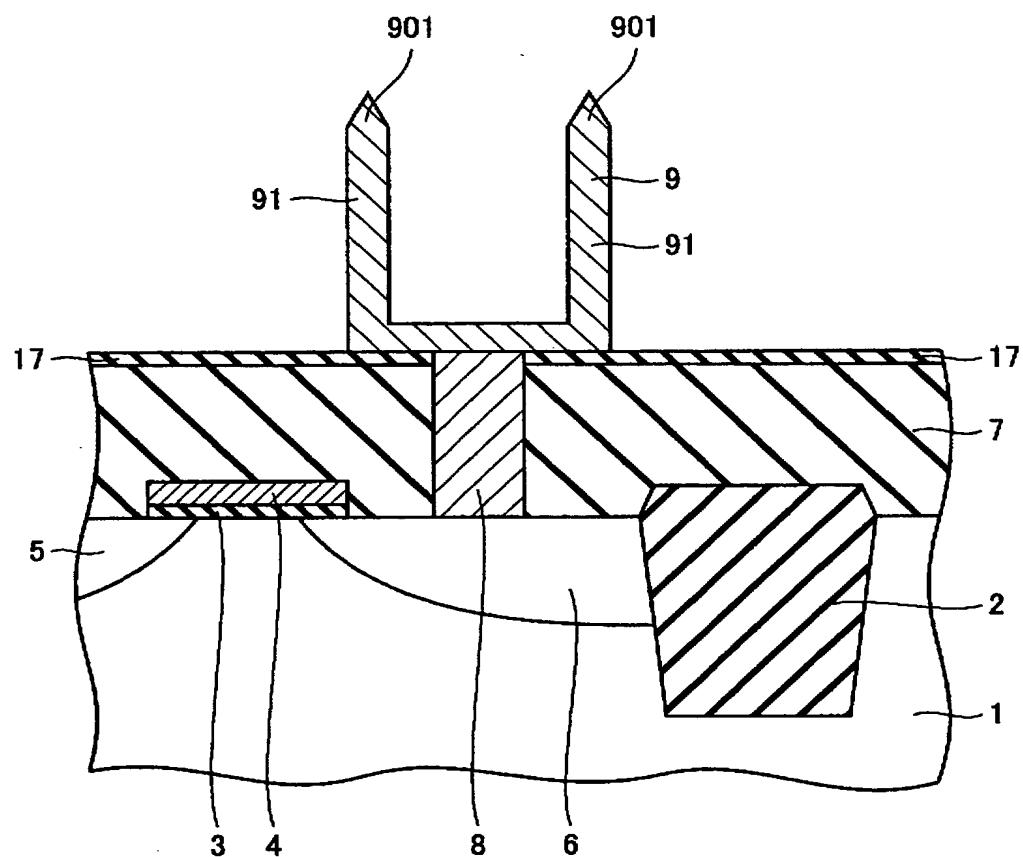
【図2】



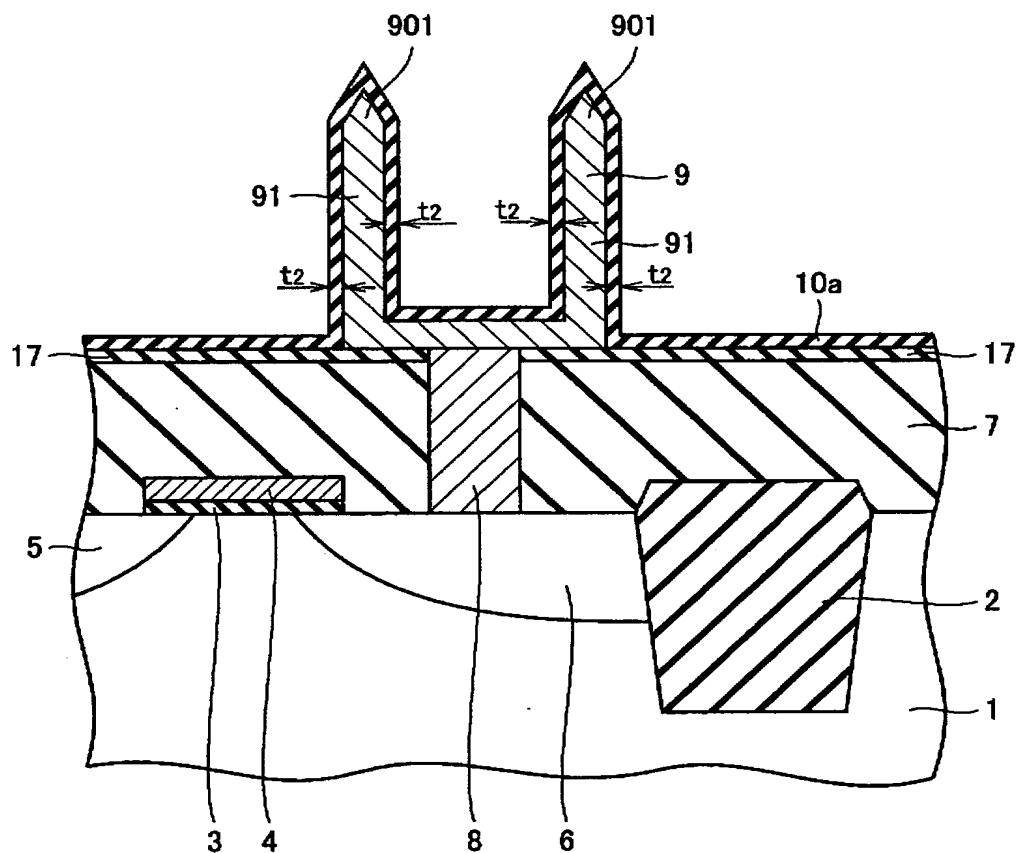
【図3】



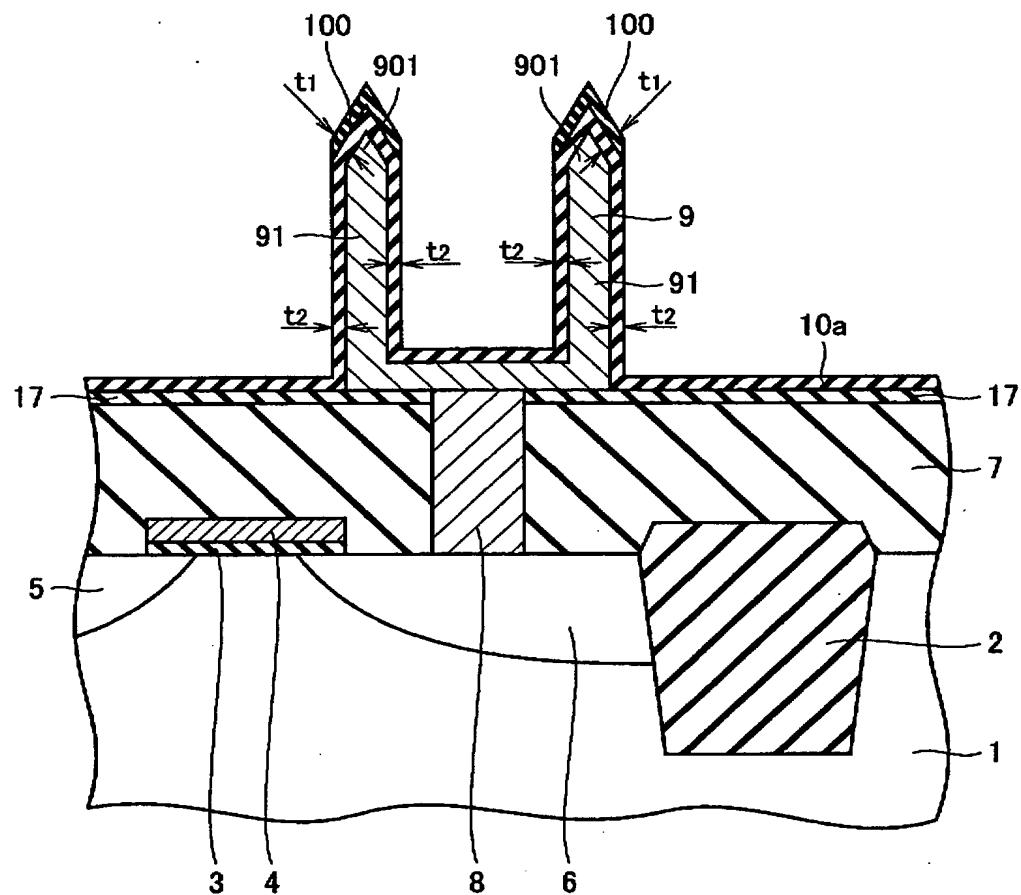
【図4】



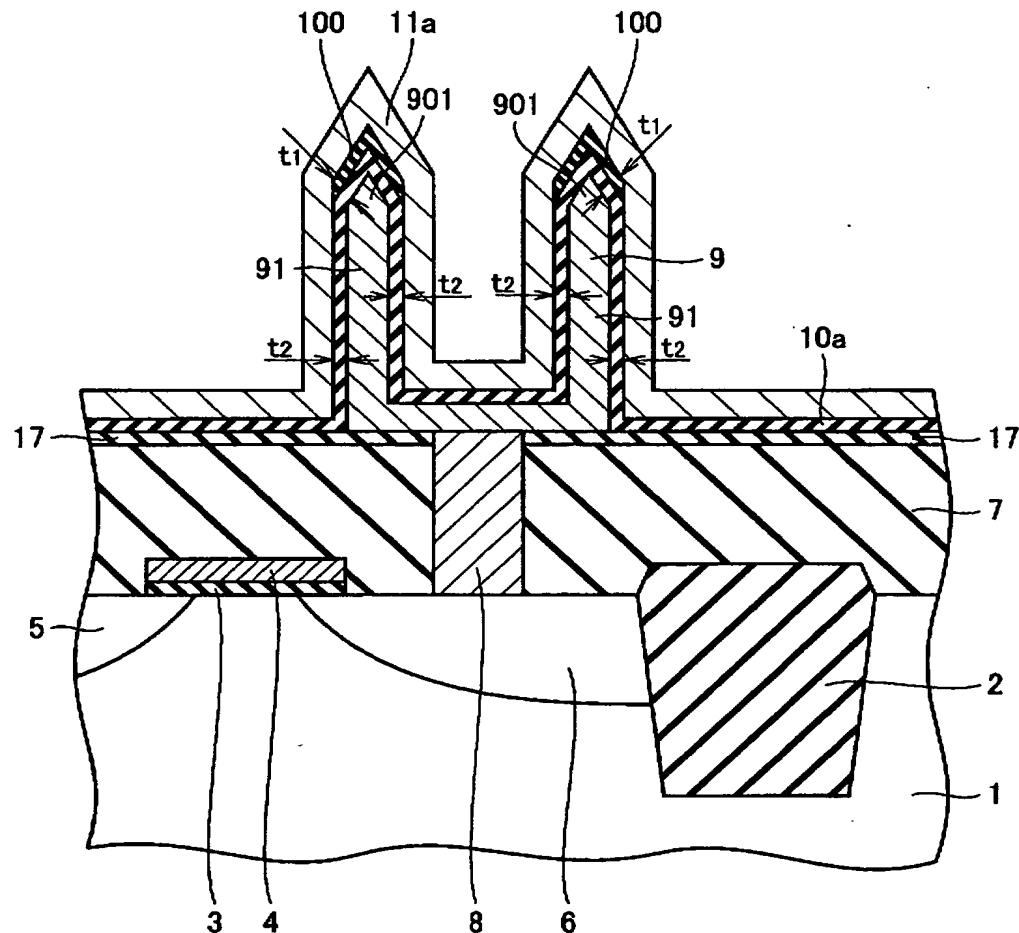
【図5】



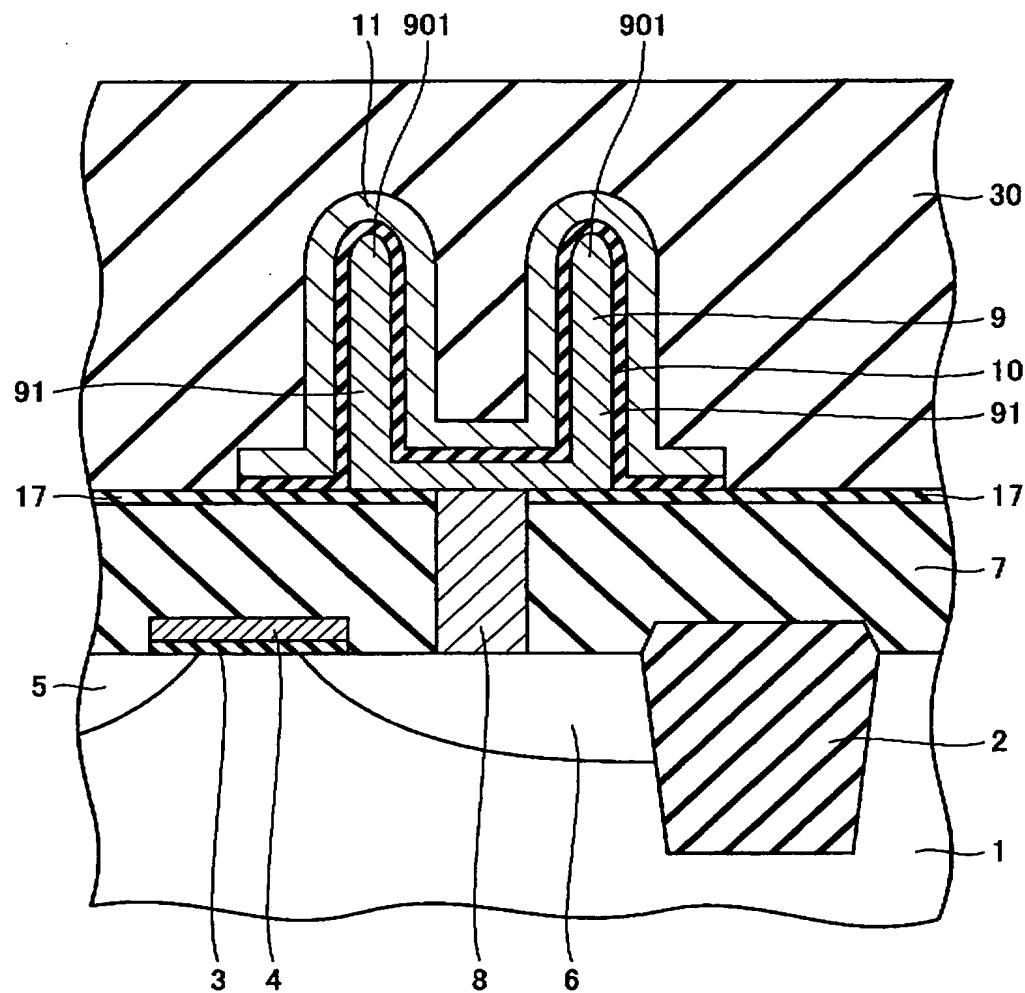
【図6】



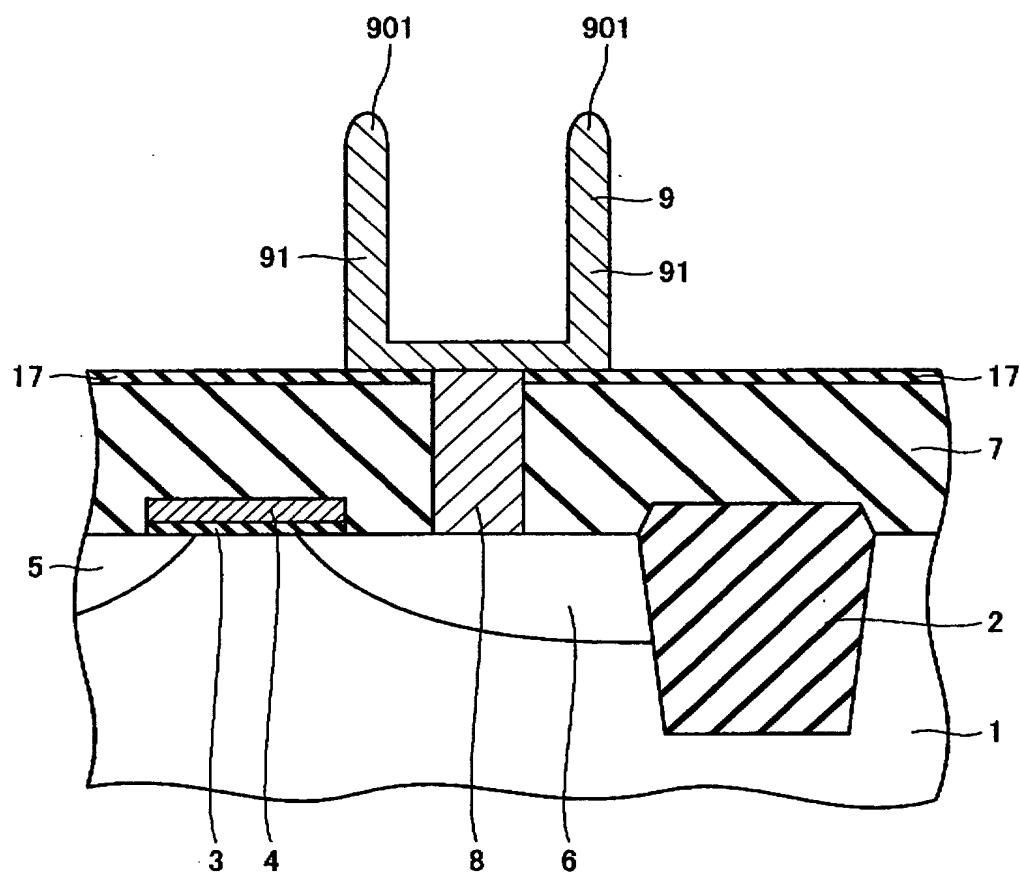
【図7】



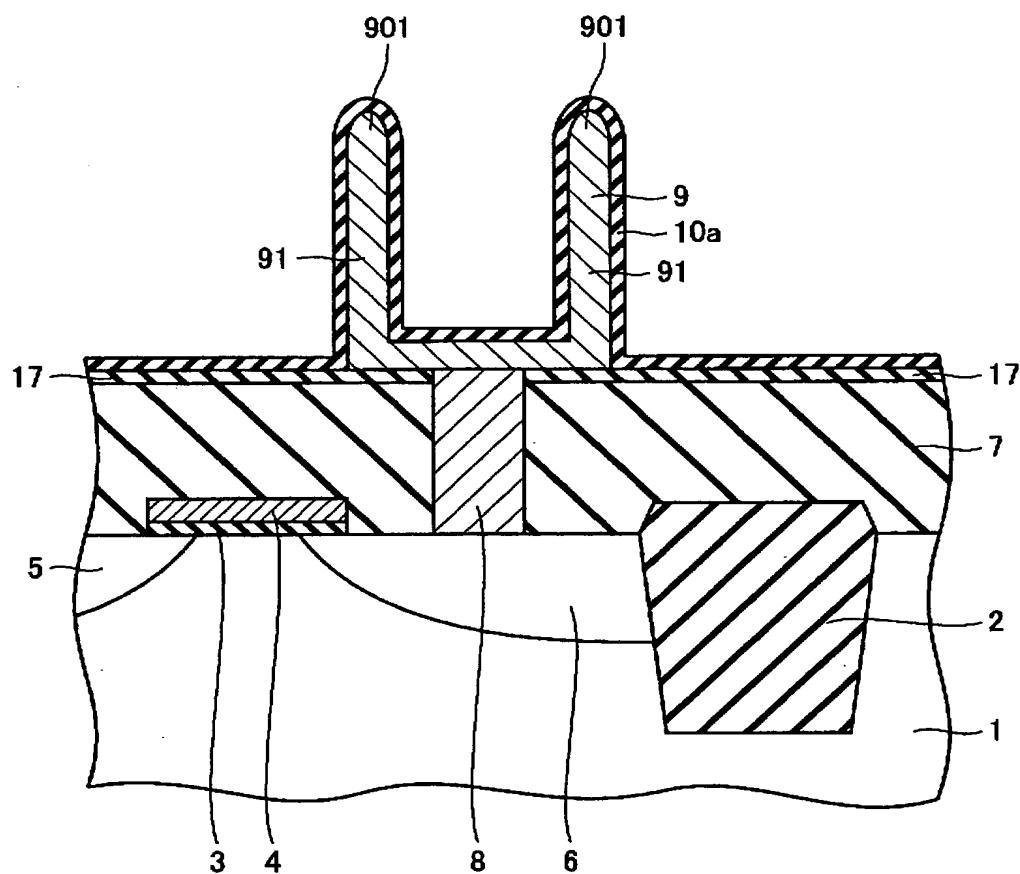
【図8】



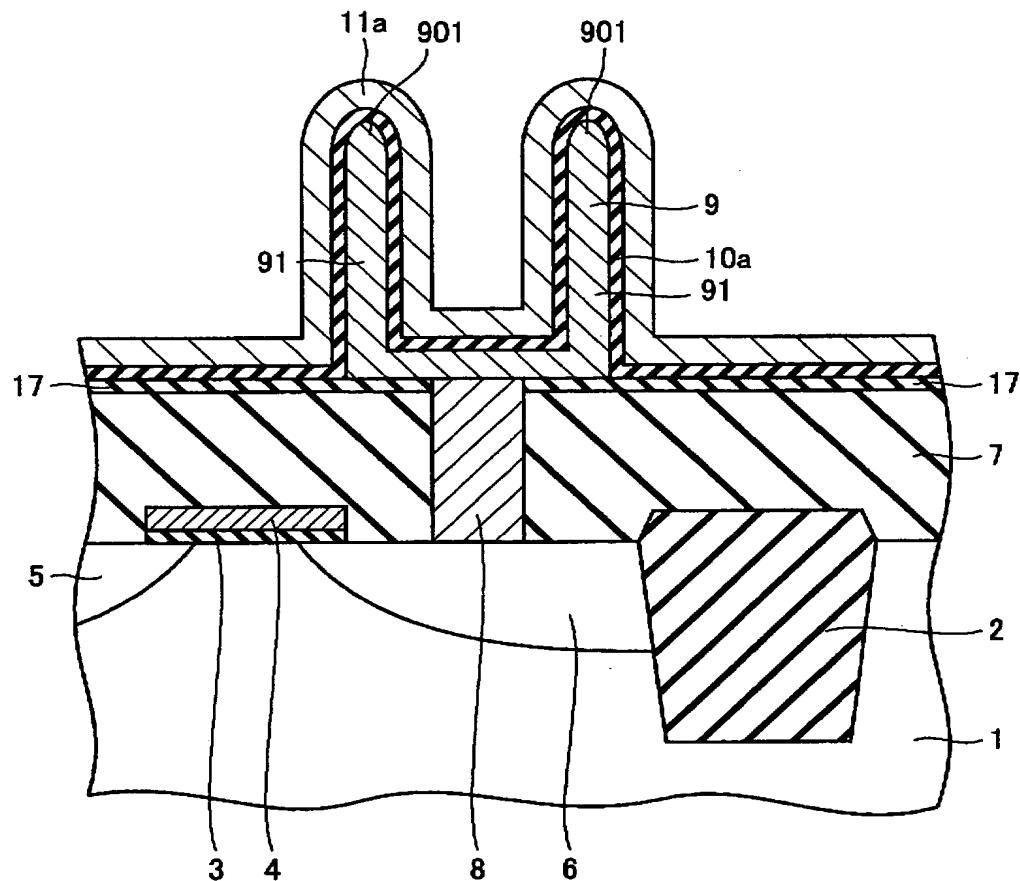
【図9】



【図10】



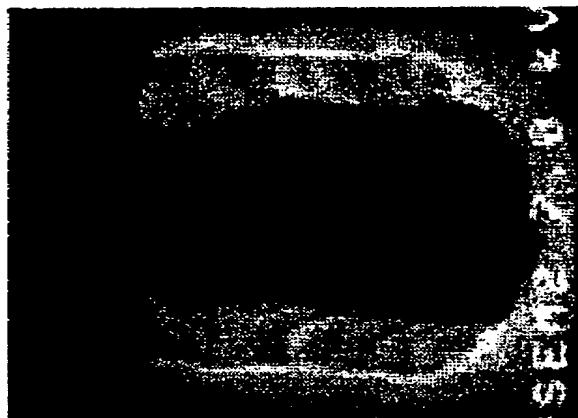
【図11】



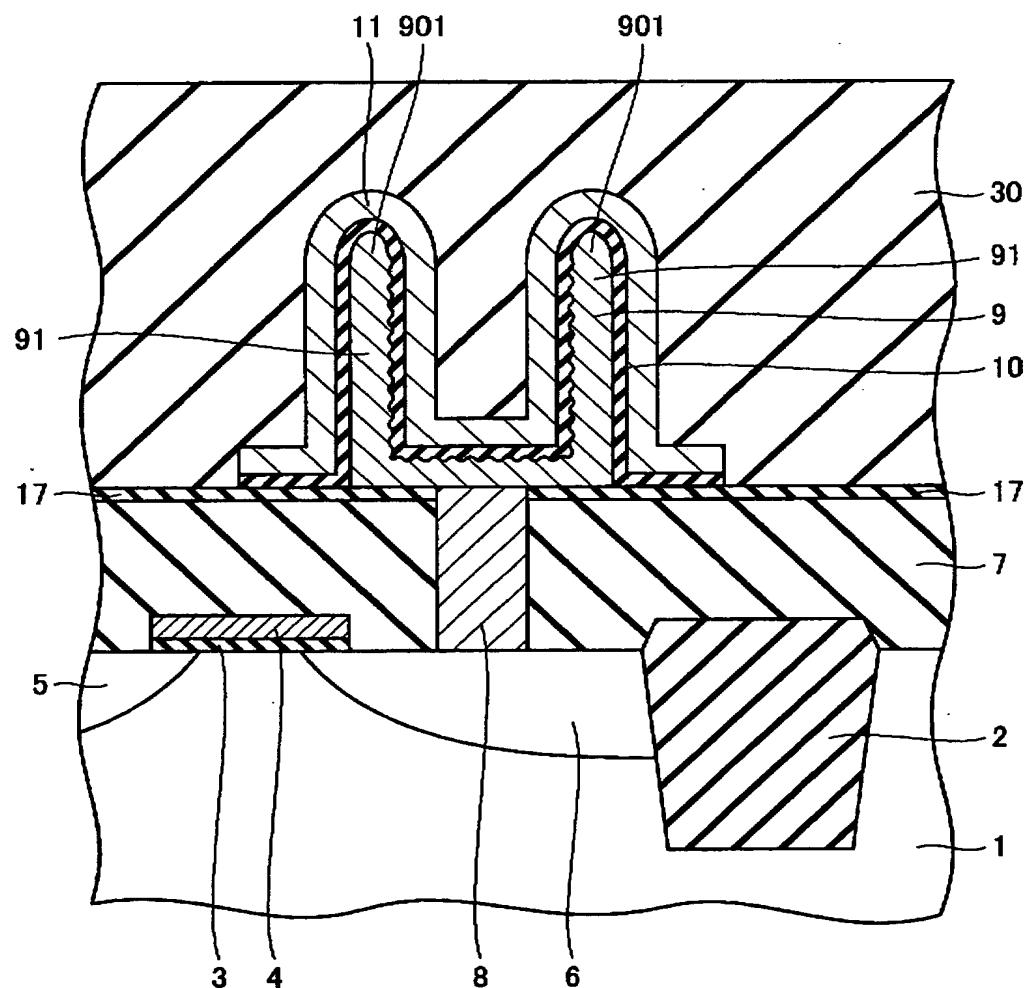
【図12】



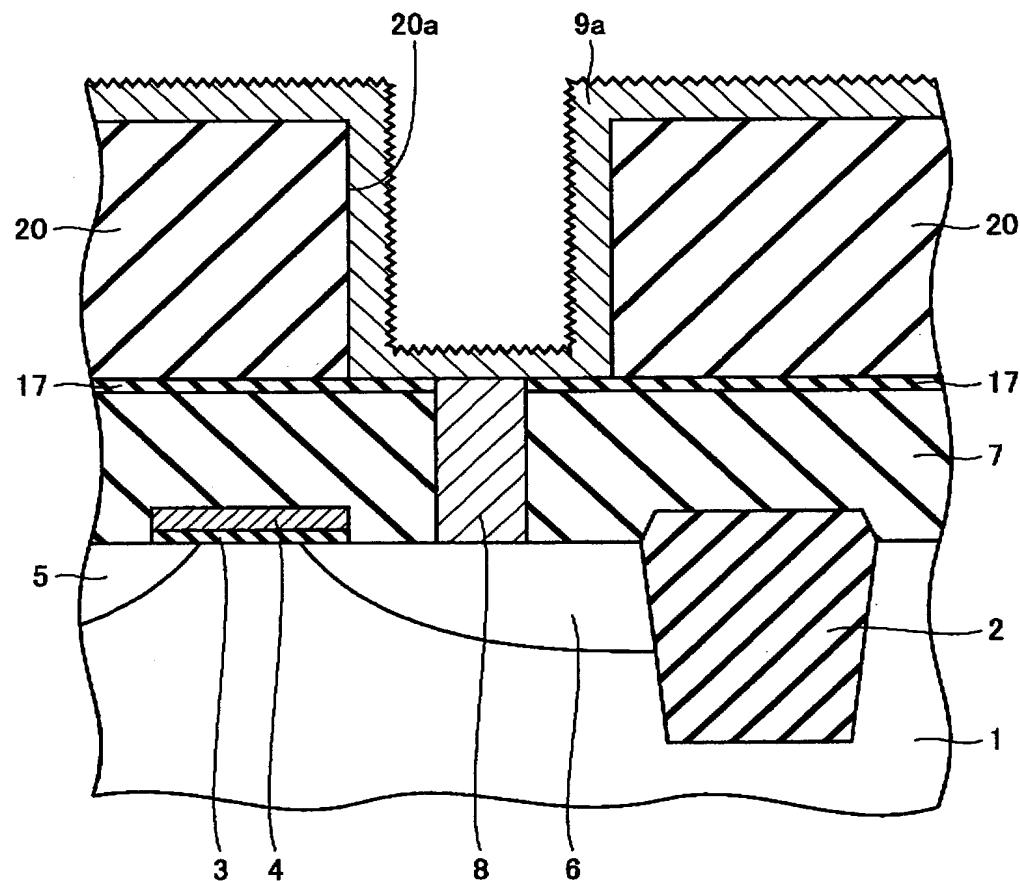
【図13】



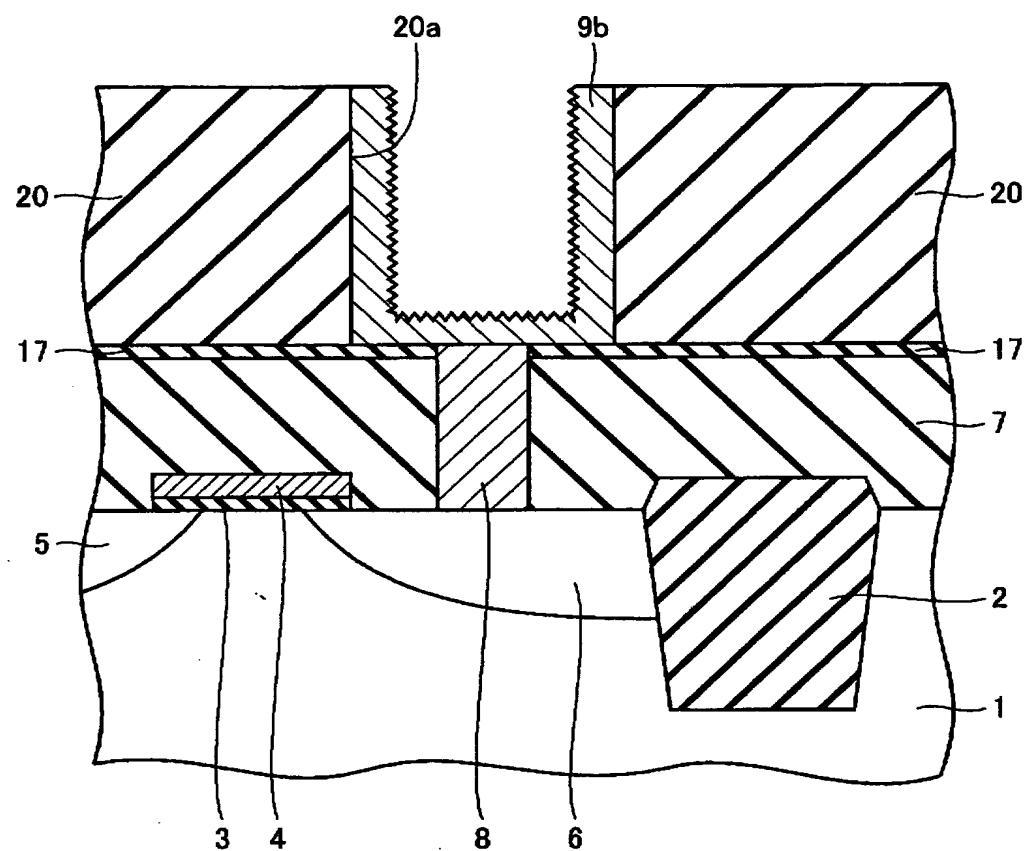
【図14】



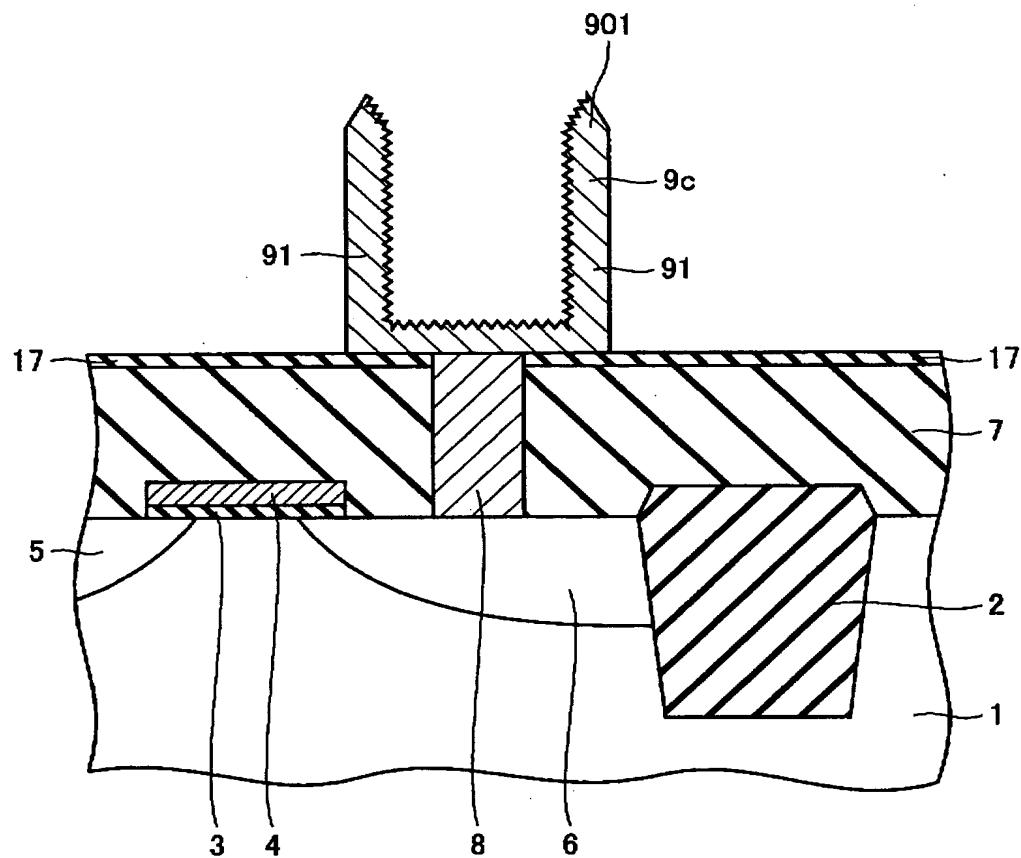
【図15】



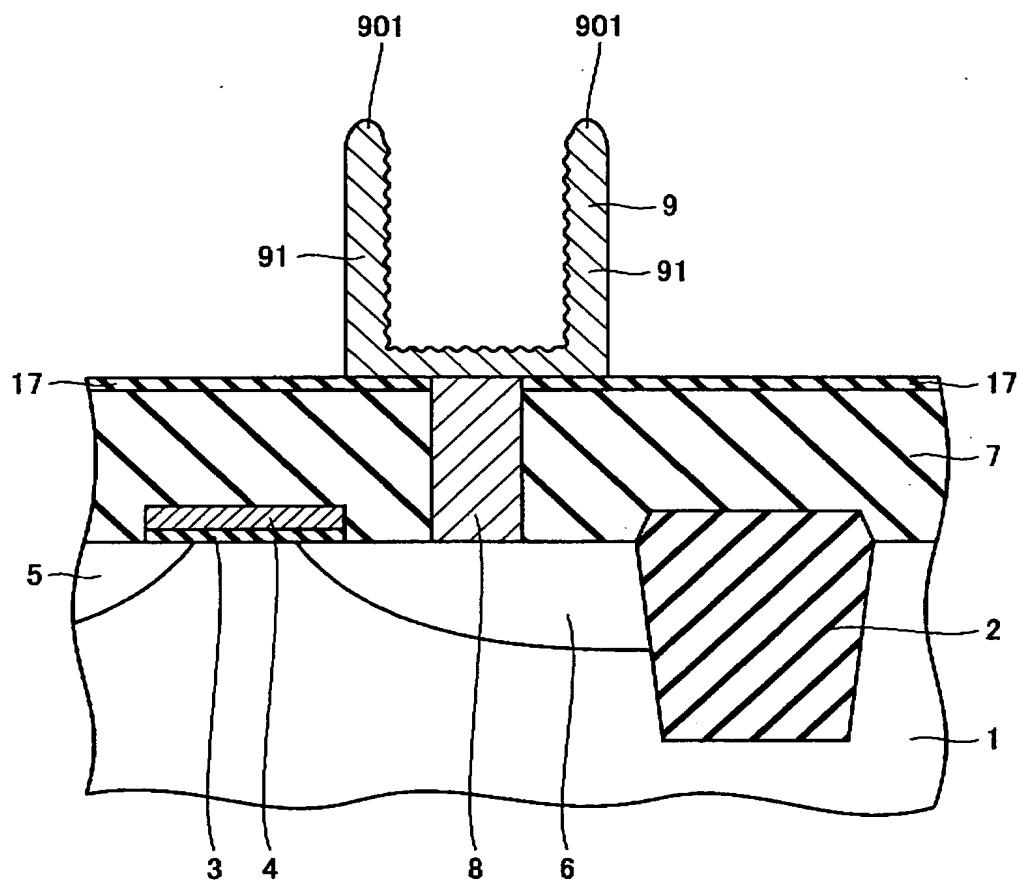
【図16】



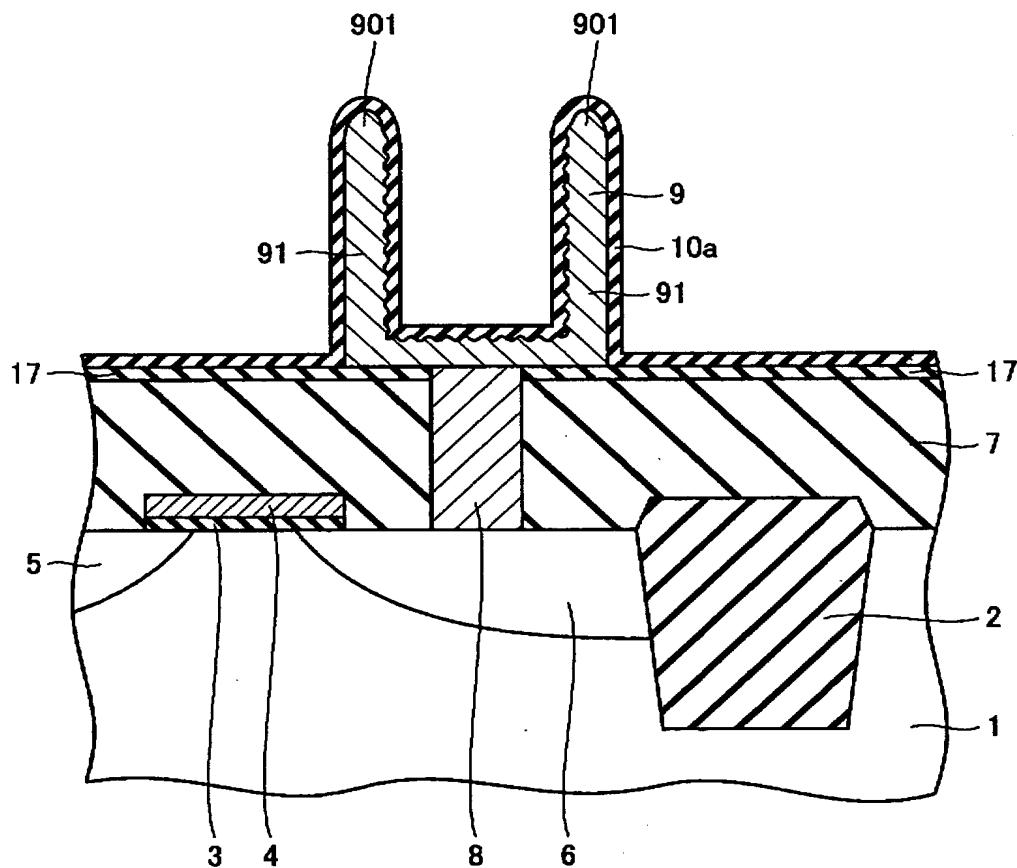
【図17】



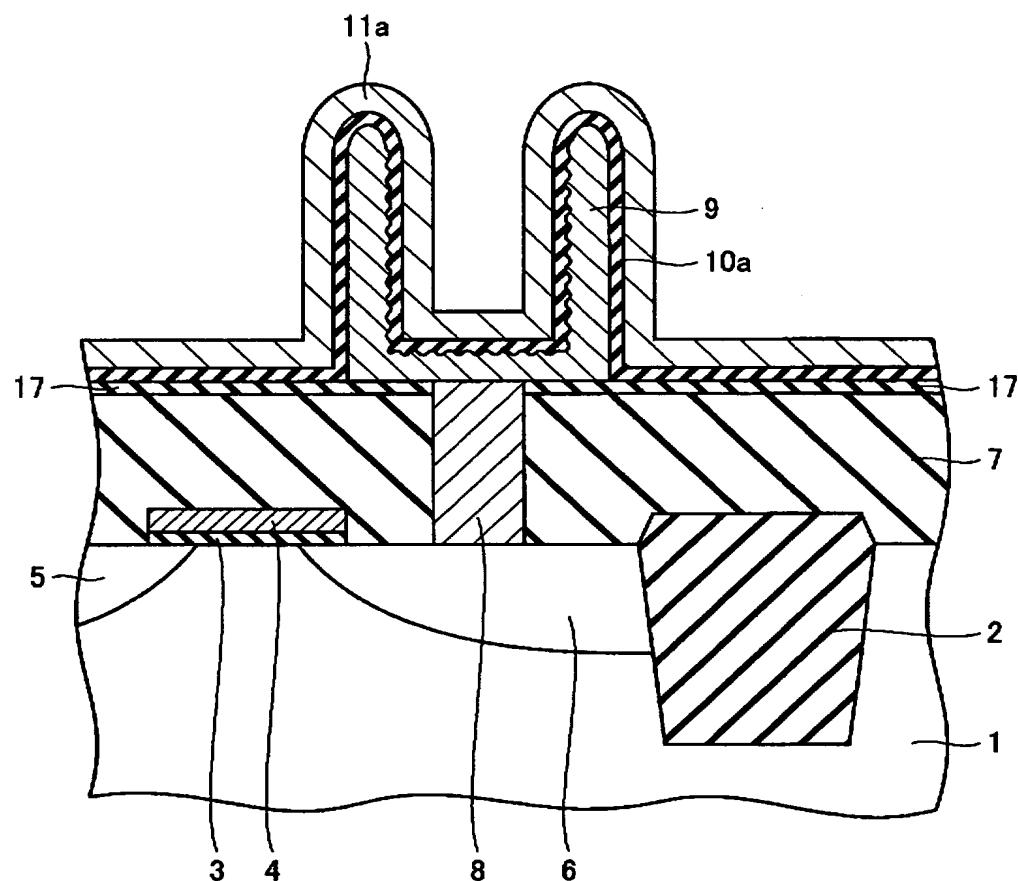
【図18】



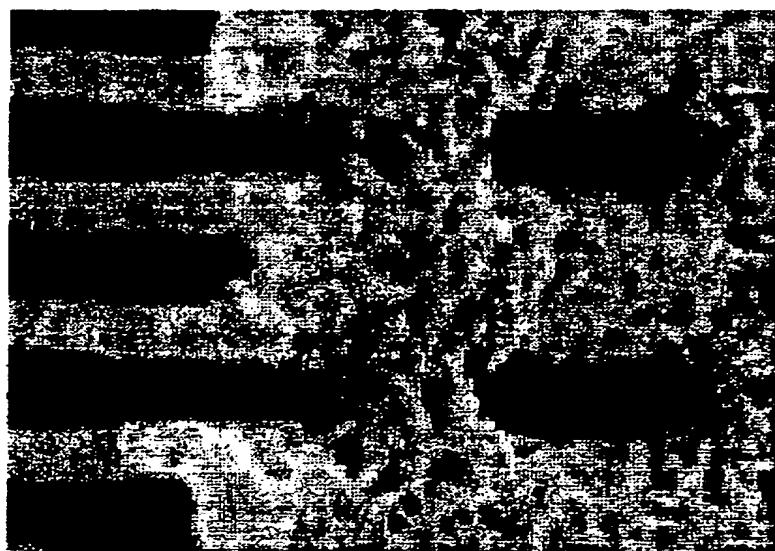
【図19】



【図20】

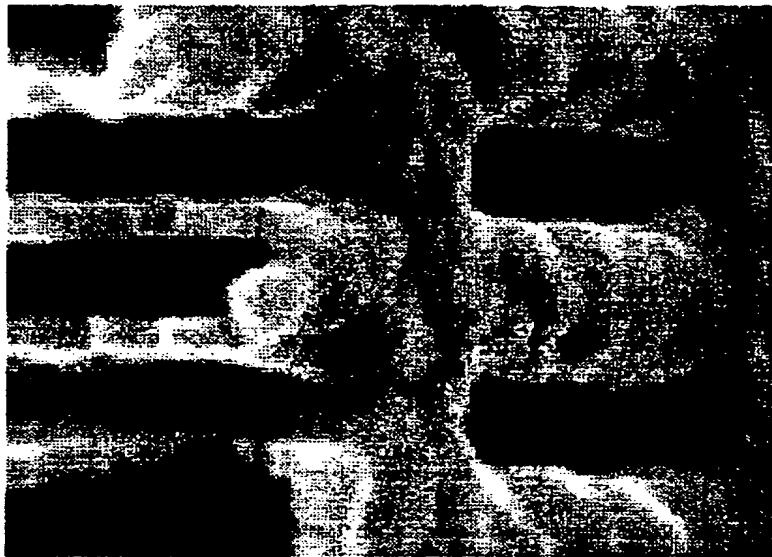


【図21】



特2003-139267

【図22】



【書類名】 要約書

【要約】

【課題】 キャパシタ誘電体膜でのリーク電流の発生のおそれを低減することにより、キャパシタ誘電体膜の特性が向上した半導体装置およびその製造方法を提供する。

【解決手段】 円筒型キャパシタのキャパシタ下部電極9の上端部には尖り形状が形成されている。この尖り形状を覆う部分にはキャパシタ誘電体膜10およびキャパシタ誘電体膜100との2層の誘電体膜が形成されている。その結果、キャパシタ下部電極9がその上端部に尖り形状を有していても、その尖り形状部分を覆う誘電体膜は、他の部分に比較して厚みが大きくなっている。そのため、キャパシタ下部電極の尖り形状部分に電界集中が発生しても、誘電体膜はリーク電流を発生させない程度の十分な絶縁性能を發揮する。

【選択図】 図1

出願人履歴情報

識別番号 [503121103]

1. 変更年月日 2003年 4月 1日

[変更理由] 新規登録

住 所 東京都千代田区丸の内二丁目4番1号

氏 名 株式会社ルネサステクノロジ